

# 令和7（2025）年度 卒業研究報告書概要

課程, 学籍番号, 氏名	課程: 電気・電子工学課程, 学籍番号: B233236, 氏名: 椎井 研多			
工学分野名: 情報通信システム	指導教員名: 市川 周一			
題 目: Stochastic ガウスフィルタの実装と評価				
(Implementation and Evaluation of a Stochastic Gaussian Filter)				
<p><b>Abstract</b></p> <p>In recent years, the increasing amount of data in artificial intelligence and image processing has emphasized the need for design methodologies that reduce circuit area in hardware implementations. One such method is stochastic computing (SC), which enables arithmetic operations to be implemented using simple logic circuits. In image processing, many researches have been conducted on the errors and computation time of Gaussian filters implemented with SC. This study aims to measure the errors of existing SC-implemented Gaussian filters and to design the logic scale and operational frequency of filters implemented on an FPGA. The filters were implemented based on the three methods following Ichikawa's work. The image quality of each SC filter was almost equivalent to that of binary implementations. On the other hand, it was found that the MTBC configuration leads to an increase in logic scale and a decrease in operating frequency.</p>				
<p><b>概 要</b></p> <p>近年, 人工知能や画像処理などの分野の情報量の増大により, ハードウェア実装において回路面積が小さくできる計算方法の需要が高まっている。その設計手法として, 単純な論理回路で算術演算を実装できるストカスティックコンピューティング (Stochastic Computing, SC) が注目を集めている。SC は回路面積が小さいため, 消費電力が少なく, またソフトエラー耐性にも強い。そのため, 動画像処理, ニューラルネットワークなど, ある程度の誤差が許容可能なアプリケーションに応用してきた。</p> <p>東海林はエッジ検出回路とガウシアンフィルタについて SC 実装を行い, その誤差と計算時間について議論した。市川は, ストカスティック計算を用いたガウシアンフィルタ回路の構成法を体系的に検討し, HWMT (Hard-Wired Multiplexing Tree), BSMT (Biased Selector MUX Tree), MTBC (Multiplexer Tree selected by Bit Counter) の 3 方式を比較した。</p> <p>本研究の目的は既存の SC 実装ガウシアンフィルタの誤差 (MAE, RMSE) の計測, FPGA 実装したフィルタの論理規模と動作周波数を調べることである。設計については市川が比較した 3 方式をもとにフィルタサイズ <math>N = 3, 5</math> のフィルタを実装した。SC に用いる乱数生成器については 32-bit LFSR (Linear Feedback Shift-Register, tap は 32, 22, 2, 1) と 32-bit counter の二通りを用いた。誤差の計測には <math>256 \times 256</math> 画素の SIDBA 登録画像 (Airplane を含む 6 枚) を入力画像として用いた。FPGA 上での計測には System Verilog により回路を記述し, Vivado (ver. 2025.1) 上で論理合成・評価を行った。</p> <p>サイズが <math>N = 5</math>, サイクル数が 256 の場合, 各フィルタから生成された画像は binary 実装による出力画像と比較して, 視覚的に大きな違いは見られなかった。サイズ <math>N</math> が大きいほど MAE と RMSE の誤差率が増加する傾向があり, これは SC ビット長の長さも比例して長くなり, サイクル数が不足すると選択パターンを十分に網羅できないことが原因だと考えられる。確率計算を用いたフィルタとしては, <math>N = 3</math> ではサイクル数が 256, RNG が 32-bit の HWMT (MAE: 0.551, RMSE: 1.134), <math>N = 5</math> ではサイクル数が 256, RNG が 32-bit の HWMT と BSMT (両者とも MAE: 0.685, RMSE: 1.317) が最も良い設計だと考えられる。</p> <p>FPGA 上での評価には誤差率測定で用いたフィルタおよび binary ガウシアンフィルタについて, 論理規模と動作周波数を比較した。論理規模はサイズ <math>N</math> が大きくなるほど増加する傾向が見られた。同一サイズ内だと, counter の方が小さい傾向であり, これは LFSR のようなシフトレジスタを用いず, 単純なカウンタのビット抽出のみで済むため FF 数が少なくなるのが原因と考えられる。動作周波数を比較すると, サイズ <math>N</math> が大きくなるほど低下する傾向であった。同一サイズ内 (binary 除く) では, MTBC が他より低い傾向にあり, これは MTBC のみ LFSR 出力に対して, 加算回路を経て画素選択を行うため, 他方式に比べて組み合わせ回路の段数が増加し, クリティカルパスが長くなるためだと考えられる。</p>				