

令和7（2025）年度 卒業研究報告書概要

課程、学籍番号、氏名	課程：電気・電子情報工学課程、学籍番号：B233285、氏名：MUNKHSAIKHAN ZORIGT
工学分野名：情報通信システム	指導教員名：市川 周一
題 目：和	
Universal LFSR の設計と評価	

(英 Design and Evaluation of Universal LFSR)

Abstract

This study proposes a Universal Linear Feedback Shift Register (ULFSR) that generates many pseudo-random sequences using a single hardware module for stochastic computing. By switching among 128 tap configurations stored in ROM, the ULFSR replaces 32 separate LFSRs. Simulations show a 33% reduction in mean |SCC| (Stochastic Cross Correlation) and lower maximum correlation, indicating improved independence. FPGA implementation on Zybo Z7-10 consumes 50% fewer LUTs and 20% lower dynamic power. The ULFSR simplifies SNG (Stochastic Number Generator) design and reduces hardware cost for large-scale SC applications.

概 要

本研究は、ストカスティック計算（Stochastic Computing; SC）における乱数生成回路の効率化を目的として、複数の乱数系列を1つのハードウェアで生成可能とするUniversal LFSR（ULFSR）の設計と評価を行ったものである。LFSR（Linear Feedback Shift Register）は疑似乱数生成を行う回路で、従来のSC回路では、各SNG（Stochastic Number Generator）が独立したLFSRを必要とし、SNG数の増加に伴い回路規模と消費電力が線形に増大するという問題があった。

提案するULFSRは、ROMに格納した128種類の32ビットGalois型LFSRのタップ値を制御信号により切り替えることで、多様な擬似乱数系列を单一のLFSRハードウェアから生成できる。また、B2S、SC乗算、APC加算など複数乱数を用いる演算に対応するため、各ブロックが独立したLFSR状態を保持する構成とし、メモリ競合やレイテンシ増大を抑制した。

性能評価では、PythonによるGalois-LFSRシミュレーションにより、ULFSRは従来構成（LFSR×32）と比較してビット列間相関SCC（Stochastic Cross Correlation）の平均値を0.2075から0.1384に約33%低減し、最大値も0.374から0.248に改善した。タップ値切替により内部状態が多様化し、乱数独立性が向上したことが確認できた。

さらに、Vivado 2025.1によるFPGA（Zybo Z7-10）実装評価では、ULFSRは従来のLFSR×32に対してLUTを約50%，動的消費電力を約20%削減できた。単一モジュールで多数の乱数系列を供給できる点は、ハードウェア資源削減に大きく寄与する。

以上より、ULFSRは大規模ストカスティック演算におけるSNG部の簡素化と低消費電力化に有効であり、行列演算や深層学習推論など多入力SC応用において有用性が高いことが示された。今後はタップ値の最適化やマルチULFSR構成、ASIC実装での詳細評価を進めることで、さらなる高性能化が期待される。

発表する際の課程を記入

電気・電子情報工学

課程

発表番号

20

（学籍が他課程所属の学生も発表する課程を記入すること）