

# 令和6（2024）年度 卒業研究報告書概要

課程, 学籍番号, 氏名	課程: 電気・電子情報工学課程, 学籍番号: B211853, 氏名: 山下 竜輝マティアス
工学分野名: 情報通信システム	指導教員名: 市川 周一
題 目: 和 ストカスティック数生成器の設計と FPGA 実装 (英 Design and FPGA Implementation of Stochastic Number Generators for FPGA )	
<b>Abstract</b> In recent years, the increasing amount of data in artificial intelligence and image processing has emphasized the need for design methodologies that reduce circuit area. One such method is stochastic computing (SC), which enables arithmetic operations to be implemented using simple logic circuits. Additionally, researches have been conducted to reduce the number of stochastic number generators (SNGs) required by generating multiple stochastic numbers (SNs) from a single SNG. This study aims to evaluate the implementation of existing SNG designs on an FPGA. The circuits by Yang et al. are firstly examined, and then their variants are designed and evaluated. All circuits were developed and evaluated using a 16-bit specification. During logic synthesis, various settings were tested to examine their impact on LUT and FF usage, as well as operating frequency. Future work includes the design and implementation of larger circuits, to gain deeper insights into stochastic number generators.	
<b>概 要</b> 近年, 人工知能分野や画像処理分野の情報量の増加により, 回路面積の抑制に有効な設計手法が注目されている. その 1 つとして, 単純な論理回路で算術演算を実装できるストカスティックコンピューティング(SC)が挙げられる. SC の回路においてストカスティック数生成器(SNG)は大きな面積を占めているため, ひとつの SNG から複数のストカスティック数 (SN) を生成することにより, SNG の個数を減らす研究もおこなわれている. Salehi は 1 つの LFSR を 2 つの SNG で共有する際に, LFSR が出力するランダムビット列を並び替えて 2 つの SN を生成した. 東海林は並び替えに加えて NOT ゲートの挿入を提案した. しかし共通の SNG から生成した SN 間には相関が生じやすく, 結果として SC の計算誤差が増大するという問題がある. このため SNG の共有による面積削減には限界がある. SNG 単体の面積を削減することは, 依然として重要な課題である. 本研究の目的は既存の SNG 設計を FPGA 上で実装評価することである. 評価対象として Yang らが検討した回路である重み付きバイナリ・ジェネレーター(Weighted Binary Generator: WBG) 回路とマルチプレクサ(Multiplexer: MUX) チェーン回路, そしてエラーキャンセル確率変換回路(Error-Cancelling Probability Conversion Circuit: ECPC) 回路と, それらの回路を変形した回路を扱った. シミュレーションでは, Verilog HDL を用いてすべての回路を 16-bit 仕様で設計し, そしてそれらの回路を Vivado (ver.2022.1) を用いて実装・評価した. 論理合成時の設定を (1) Vivado Synthesis Defaults, (2) Flow Area Optimized high, (3) Flow Area Mult Threshold DSP, (4) Flow Alternate Routability, (5) Flow Perf Optimized high, (6) Flow Perf Threshold Carry, (7) Flow Runtime Optimized, に変更し, LUT と FF の使用量や動作周波数の変化を検証した. 今回の検証ではコンパレーターと WBG の性能が高く, MUX chain や ECPC の性能は低いという結果が出た. そして, 合成の設定を(2)に変更した場合, MUX chain と ECPC の LUT の使用量が減少した. さらに, 合成の設定を(7)に変更した場合にはほとんどの回路で性能が落ちたが, MUX chain と ECPC の性能が向上した. 今回は 16-bit という小さい回路を評価したため, すべての回路においてあまり大きな差を得ることができなかった. 今後は, より大きい回路を設計して実装検証を行い, 結果を検証したい.	

発表する際の課程を記入

電気・電子情報工学

課程

発表番号

13

(学籍が他課程所属の学生も発表する課程を記入すること)