

令和6（2024）年度 卒業研究報告書概要

課程, 学籍番号, 氏名	課程: 電気・電子情報工学課程, 学籍番号: B213205, 氏名: 磯貝 康平
工学分野名: 情報通信システム	指導教員名: 市川 周一
題目: 和 FPGA による SAT アルゴリズムの検討 (英 study on SAT algorithm using FPGA)	
Abstract SAT is an abbreviation of the satisfiability problem, which is the problem of finding combinations of values of logical variables such that a logical expression is true. FPGA (Field Programmable Gate Array) is an integrated circuit consisting of gates (logic circuits) that can be rewritten in the field. HLS (high level synthesis) is to design a circuit using a C or C++ description. SAT is an important problem with a wide range of applications. The SAT attack against Logic Locking is one of the applications of SAT. Other problems that can be replaced by logic expressions, such as inference, may be solved by SAT. In our laboratory, there have been some researches on SAT, including Nishiwaki's master's thesis and Diyana's graduation thesis. Kanazawa and Maruyama's work is a previous study of SAT on FPGA. In this paper, we re-evaluate the work of Kanazawa and Maruyama using high-level synthesis, a technology that did not exist at that time.	
概要 SAT とは充足可能性問題(satisfiability problem)を略した呼び方であり, 論理変数の値の組み合わせがあるかを求める問題である. FPGA (Field Programmable Gate Array)は現場で回路を書き換えることができるゲート(論理回路)で構成された集積回路である. FPGA を用いて SAT を解く研究のひとつとして金沢・丸山の研究がある. 近年の技術の発展は目覚ましく, 先行研究の時代にはなかった技術を用いることで開発コストを抑えながらも性能向上を見込めると期待される. 本研究の目的は, 高位合成を用いて金沢・丸山の研究の追実験を行い性能を比較評価することである. 高位合成(HLS; high level synthesis)は, C や C++ の記述から回路設計を行う設計ツールで, HDL による設計よりも抽象的に回路を設計でき, 開発コストの減少という利点がある. SAT とは $(A \vee B) \wedge (A \vee \bar{B}) \wedge (B \vee \bar{C})$ のように論理式が与えられたときに, 論理式全体が真となるような論理変数の真, 偽の組み合わせがあるかを求める問題である. 論理式全体を真にできる場合は充足可能(satisfiable; SAT)と呼び, 偽となる場合は充足不能(unsatisfiable; UNSAT)と呼ぶ. SAT の論理式は変数の論理和からなる節(clause)の論理積で構成されている. SAT アルゴリズムは complete 型(系統的 SAT ソルバー)と incomplete 型(確率的 SAT ソルバー)に分類される. SAT は多くの問題に応用可能である重要な問題である. SAT に関する研究は活発に行われている. 本研究室でも SAT を扱った研究は行われてきた. 金沢・丸山の研究では FPGA を用いて WSAT アルゴリズムを実現していた. 金沢・丸山の研究では Xilinx 社(現在は AMD 社)の FPGA である XC2V6000 上に実装しており, 最大 256 変数/2048 クローズ, または 4096 変数/1792 クローズまでの問題が処理できていた. 2 つの異なるヒューリスティクスの WSAT (WSAT/G, WSAT/SKC)において最大 21Mfps の処理速度を達成していた. 金沢・丸山の研究の追実験の第 1 段階として, C 言語で記述した WSAT アルゴリズムの評価を行った. この C コードは, 金沢・丸山の論文を参考にして, 本研究で開発したものである. 本研究では, 金沢・丸山の研究を C 言語で再現し, シミュレーションにより比較を行った. ノイズパラメータを調整し, フリップ回数を比較したところ, WSAT/G では金沢・丸山の 1.29 倍, WSAT/SKC では金沢・丸山の 0.58 倍となった. 充分とは言えないものの, ある程度の精度で金沢・丸山の結果を再現することができた. 今後の課題として, 高位合成により WSAT の論理回路を実装・評価することがあげられる.	

発表する際の課程を記入

電気・電子情報工学

課程

発表番号

15

(学籍が他課程所属の学生も発表する課程を記入すること)