

令和5（2023）年度 卒業研究報告書概要

課程, 学籍番号, 氏名	課程: 電気・電子情報工学課程, 学籍番号: B223275, 氏名: Amrita Bayarsaikhan
工学分野名: 情報通信システム	指導教員名: 市川 周一
題 目: 和	マルチリンガルプロセッサの設計
(英	Design of a Multilingual Processor)
Abstract <p>This research aims to design a multilingual processor by integrating both RISC-V and MIPS instruction set architectures, exploring their compatibility and potential benefits. I based my implementations on Harris's textbooks, which offer comprehensive explanations and publicly available code. Consideration was given to designing processors for both MIPS and RISC-V architectures, allowing for the implementation of multiple ISAs.</p> <p>Various methods exist for constructing a multi-ISA system that involves switching between decoders. In this research, I utilized the Dual Instruction Memory Modules with a Mux methodology, which involves incorporating distinct instruction memory modules for each ISA and employing a multiplexer to make selections based on the ISA signal.</p> <p>The experiments are conducted on the BASYS-3 FPGA board, which features the Artix 7 FPGA. This board serves as the physical platform for implementing and testing the architecture. The specific device package used is Xa7a35tcbg236-2l.</p> <p>In the course of this thesis, I undertook the implementation of single-cycle RISC-V and MIPS processors, multi-cycle RISC-V and MIPS processors, and a single-cycle multilingual processor. The multi-cycle architectures of MIPS and RISC-V showed greater LUT utilization compared to their single-cycle counterparts.</p> <p>The Multilingual Processor demonstrates a combination of low power consumption and high clock frequency, suggesting potential advantages in both energy efficiency and performance. CAD software reported that the LUT utilization is 9.72%.</p> <p>This research currently centers on utilizing two architectures. In the future, the exploration can extend to working with multilingual processors.</p>	
概 要 <p>本テーマは、RISC-V と MIPS の両方の命令セットアーキテクチャを統合し、その互換性と潜在的な利点を探究することを目的とする。実装は Harris の教科書に基づいて行った。これらの教科書には包括的な説明とオープンソースのコードが提供されている。MIPS および RISC-V アーキテクチャ用のプロセッサ設計が提供されているため、2つを統合することで複数 ISA を実装した bilingual プロセッサを実装した。</p> <p>複数の ISA を切り替えるマルチ ISA システムを構築するためには、さまざまな方法が存在する。本研究では、ISA ごとに異なる命令メモリモジュールを組み込み、ISA 信号に基づいて選択を行うためにマルチプレクサを使用した。</p> <p>実験は Artix 7 FPGA を搭載した BASYS-3 FPGA ボード上で行った。このボードは、当該アーキテクチャの実装とテストのための物理プラットフォームとして機能している。具体的なデバイスパッケージは Xa7a35tcbg236-2l である。</p> <p>本論文では、シングルサイクルの RISC-V および MIPS プロセッサ、マルチサイクルの RISC-V および MIPS プロセッサ、シングルサイクルのマルチリンガルプロセッサの実装に取り組んだ。MIPS と RISC-V のマルチサイクルアーキテクチャは、シングルサイクルの対応アーキテクチャと比較してより高い LUT の利用を示した。</p> <p>マルチリンガルプロセッサは、低消費電力と高クロック周波数の有利な組み合わせを示しており、エネルギー効率とパフォーマンスの両方で潜在的な利点があると考えられる。LUT の利用率は 9.72 % と見積もられる。</p> <p>本研究は現在、2つのアーキテクチャを利用することに焦点を当てている。将来的には、マルチリンガルプロセッサとの作業へと拡張する可能性がある。</p>	

発表する際の課程を記入

電気・電子情報工学

課程

発表番号

91

(学籍が他課程所属の学生も発表する課程を記入すること)