

平成29年度 卒業研究報告書概要

課程, 学籍番号, 氏名	課程: 電気・電子情報工学課程, 学籍番号: B163265, 氏名: 正信 健人		
工学分野名: 情報通信システム	指導教員名: 市川 周一, 藤枝 直輝		
題 目: 和 CISC プロセッサ ao486 を対象とした命令レジスタファイルの実装 (英 Implementation of Instruction Register File for CISC Processor ao486)			
Abstract <p>An Instruction Register File (IRF) was proposed by Hines et al. (2005) for performance improvement and power reduction by instruction compression. Fujieda et al. (2016) used it to protect software by randomizing instruction set. These researches were targeting RISC processors of MIPS instruction set and they lack consideration in CISC processors. The purpose of this research is to implement the IRF for a CISC processor ao486 and to evaluate the hardware resource usage and the reduction of instruction length.</p> <p>The IRF is a table of frequently used instructions and it is referred to by a specialized instruction. In the proposed implementation, a module that processes prefix in the decode stage checks whether a fetched instruction refers to the IRF.</p> <p>According to the evaluation using an Artix-7 FPGA, the number of slices was almost unchanged (-2.5 [%] ~ +1.3 [%]). Decoded instruction length was reduced by up to 14.1 [%] in the case of maximum length of the instructions stored in IRF is 6 [Byte]. However, due to branch mispredictions, fetched instruction length was reduced by only 6.0 [%] at a maximum.</p>			
概 要 <p>Hines ら (2005) により提案された命令レジスタファイル (Instruction Register File : IRF) は, 命令の圧縮により性能向上および消費電力削減を実現する手法である. 藤枝ら (2016) は, IRF を利用して命令セットをランダム化し, プログラムの耐タンパ性を高めることを提案した. これらの先行研究では, RISC (Reduced Instruction Set Computer) である MIPS 命令セットのプロセッサを IRF 実装の対象としており, CISC (Complex Instruction Set Computer) プロセッサを対象とした検討はまだされていない. 本研究では, CISC である x86 命令セットのプロセッサに IRF を追加した際の, ハードウェアリソース使用量, 命令長の削減について評価する.</p> <p>IRF は頻繁に使用される命令を格納したテーブルであり, 格納された命令は専用命令で実行することができる. 本研究では, IRF を参照する命令を, 固有の Opcode と, IRF を参照する Index により構成するよう定義した. 命令が Prefix を持つ場合, Opcode の前に Prefix が入る. x86 命令は可変長であるため, 命令長は IRF を参照する命令と元の命令の差だけ短縮される. IRF 実装には x86 命令セットの ao486 SoC のソフトプロセッサ部を対象とした. IRF は, ao486 ソフトプロセッサのデコードステージへ実装する. IRF には短縮の期待値の高い命令が, Prefix を含めず格納される. Prefix の判断および処理を行っているモジュール内で, IRF を参照する命令であるかの判断を行う. IRF の参照は, Index が IRF へ渡されることで行われ, IRF からは元の命令が出力される. IRF を参照する命令であれば, 後続のステージへ渡る信号が IRF 参照後の命令に切り替わる.</p> <p>IRF に格納する命令の最大長を, 3 [Byte] から 8 [Byte] まで変化させたものを, それぞれ設計した. 各設計を Xilinx Artix-7 FPGA に実装し, ハードウェアリソース (Slice) 使用量, 命令長の削減について評価した. 論理合成には Xilinx Vivado 2017.1 を使用し, 性能評価には Dhrystone ベンチマークおよび MiBench の bitcount, dijkstra, stringsearch を利用し, 先頭から 10 万命令をシミュレートした.</p> <p>IRF の追加によるハードウェアリソース使用量の増加は, CAD による最適化で吸収される範囲 (Slice 数で 2.5 [%] 減 ~ 1.3 [%] 増) であった. デコードされた命令長は, bitcount を最大長 6 [Byte] の IRF を用いて実行した場合に, IRF 実装前に比べ最大で 14.1 [%] 削減された. しかし, ao486 は分岐が成立しないことを前提として命令フェッチを行う設計のため, フェッチされた命令長は最大 6.0 [%] の削減にとどまった.</p>			

発表する際の課程を記入

電気・電子情報工学

課程

発表番号

82

(学籍が他課程所属の学生も発表する課程を記入すること)