

電気・電子情報工学専攻		学籍番号	M123251	指導教員氏名	市川 周一
申請者氏名	田中 佑				藤枝 直輝

論文要旨 (修士)

論文題目	PLC プログラムの Vivado HLS によるハードウェア化
------	----------------------------------

産業機器の制御プログラムには重要な技術情報が含まれており、解析・盗用・改ざんからの保護手法が求められている。ソフトウェア保護手法の 1つとして制御プログラムのハードウェア化があり、制御プログラムをハードウェア記述言語 (HDL) に変換し Field Programmable Gate Array (FPGA) 上に実装する手法が提案されている。一方で、汎用のプログラムを HDL化する高位合成のツールとして、Vivado HLSなどが存在している。本研究では、Programmable Logic Controller (PLC) 向けの制御プログラムを一度 Cプログラムへと変換し、それを Vivado HLSによりハードウェア化する手法について既存手法と同様の設計ポリシーが実現可能かを評価した。またループの展開・分割によるレイテンシ及びリソース消費量の削減手法を検討した。

市川らは PLCプログラムをハードウェア化するツールを作成し、その設計ポリシーとして Sequential Design (SD), Levelized Design (LD), Flat Design (FD) の 3つを提案している。SD は PLCプログラムの制御論理を処理順序を保ったままハードウェア化する手法である。LDは並列実行可能な制御論理を同時に処理するようにハードウェア化する手法である。FDは PLCプログラム全体を組み合わせ回路としてハードウェア化する手法である。また SD, LDについて資源制約を行う手法として、演算器の生成数を制限し共有して使用する手法を提案している。

Vivado HLSでは回路動作を変更する手法としてプログラムの書き換え、ソースコードへの指示句 (pragma) の追記、Vivado HLSのオプション変更等がある。本研究では、市川らの各設計手法の再現を行うにはどのように記述やオプションを変更すべきかを検討した。Vivado HLSの入力には PLCプログラムを Cプログラムへと変換したものを使用し、変換には市川が過去に企業との共同研究において開発したツールを用いた。SDについては Cプログラムの変更を必要とせず再現できることを確認した。LDの再現にあたっては、処理をパイプライン化する手法 (LD-pipe) と、各制御論理の関数化及びレジスタリネーミングを行う手法 (LD-func) の 2つを検討した。LDの再現手法として LD-pipeは有効であることが確認できたが、LD-funcの有効性は確認できなかった。Vivado HLSでは演算間の中間結果がレジスタに保存されるため、FDは再現できなかった。資源制約については Vivado HLSの config bind設定に各演算子を追加することで再現可能であることを確認した。

ソフトウェアにおける高速化手法としてループ展開があり、Vivado HLSにおいてもループ展開により実行サイクル数の削減が期待できる。しかしループ展開により、論理規模が増大することが予想される。本研究では、ループを複数のループに分割することでループ展開後の論理規模増加を抑える手法を検討した。ループ展開はループに指示句 (UNROLL指示子) を追加することで行った。サンプルプログラムの全てのループに対してループ展開を行った上でループ分割を行わなかった場合、サイクル数が 36%削減されリソース消費量が 41%増加することが確認でき、AT積が 11%改善された。ループ分割については、分割を細かくし過ぎると逆に展開後の論理規模が増加してしまうことが確認できた。