

PLCプログラムのハードウェア変換ツールに関する研究

指導教官 市川 周一

学籍番号 013703 池田 亮

1 はじめに

産業用機械などのシーケンス制御には、Programmable Logic Controller (PLC) と呼ばれる制御用計算機が多く用いられている。PLC を用いると制御論理を柔軟に変更できるが、大規模な制御では PLC の処理速度不足が問題になる場合がある。

Field Programmable Gate Array (FPGA) は、論理構成を何度でも変更可能な LSI である。PLC で実現していた制御論理を FPGA でハードワイヤード化すれば、柔軟性を保ったまま処理速度を改善することが可能になる。

宮澤らは、PLC プログラムをハードウェア記述言語 VHDL に変換する手法を提案した [1]。これは、ラダー図（後述）で表現された制御論理を、AND/OR/NOT とフリップフロップからなる回路に置き換えるものである。しかし、検討された例は小さく単純なもので、実応用に関する検討もされなかった。

本研究では、企業から入手した FX2N PLC 用の PLC プログラム（サンプル）を分析し、H/W への変換手法を検討・実装する。合わせて、PLC プログラムを含む制御論理全体を FPGA で実現するための枠組みを示す。同じ制御論理を PLC 上と FPGA 上で実現した場合に、どの程度の性能改善が得られるかも評価する。

2 PLCプログラムのH/Wへの変換手法

PLC プログラムの記述には、ラダー図が広く利用される。図 1 は、入力スイッチ X000 と X002 がともに ON の場合のみコイル出力 Y000 が ON するラダー図の例である。ラダー図表現における処理の最小単位を段と呼び、段は図 1 に示したように条件部と処理部から構成される。処理部には、出力命令以外にデータ処理命令などが設定可能である。

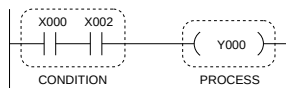


図 1: ラダー図の例

サンプルでは、ビット演算・データ転送・立上り/立下り検出・算術演算・タイマなど 20 命令程度が利用されるため、これらの H/W への変換を検討した。命令のオペランドとしては、スイッチ入力 X・コイル出力 Y・内部リレー M・データレジスタ D・定数 K・タイマ T を想定した。検討結果の一例を図 2 に示す。

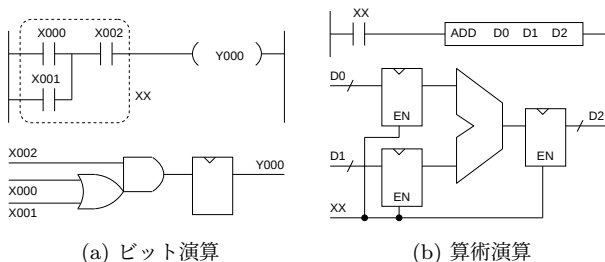


図 2: 段と H/W の対応例

条件部は AND/OR/NOT からなる論理回路に、処理部は命令に合わせた演算回路に変換する。例えば図 2(b) に示した算術演算の場合では、命令のオペランドを演算器の入出力レジスタにつなぎ、条件部の回路をイネーブル制御につなぐような変換を行う。

PLC プログラムは複数の段から構成され、それらが上から下へ順番に処理されることでシーケンス制御を実現している。そこで、ラダーの 1 段を 1 状態とする状態遷移によって、制御論理全体を逐次処理するように回路を生成する。

3 ツールの実装・動作確認

2 章で検討した変換手法に基づいて、制御論理を FPGA で実現するためのツールを実装した。ツールを含む全体の処理フローを図 3 に示す。図中の二重四角が自作部分である。

この処理フローには、制御論理を FPGA によって実現するもの（図 3 普通線）と、同じ制御論理について PLC と FPGA との実行時間比較をするもの（図 3 破線）の 2 つのルートがある。

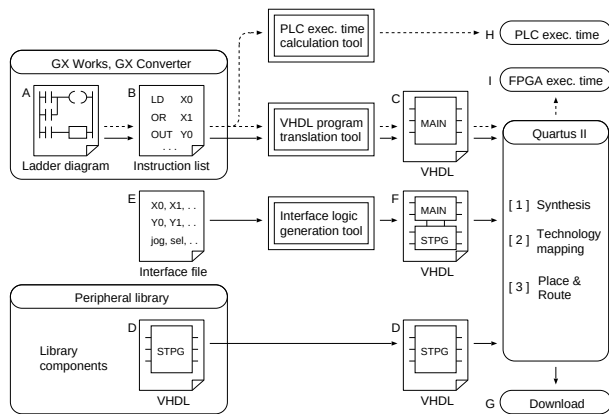


図 3: 全体の処理フロー

ツールが正しい処理を行えることを、モータの正逆転制御論理を例に用いて確認した。以下、説明のために図 3 中のオブジェクトを記号で参照する。

三菱電機の GX Works を利用し、ラダー図を作成する (A)。これを GX Converter で命令語リスト表現に変換し (B)、さらに VHDL 変換ツールにかけて H/W の設計を得る (C)。モータを動作させる周辺回路 STPG (D) と制御論理 (C) の接続関係を書いた接続情報ファイル (E) を作成し、それをインタフェース生成ツールにかけてトップ図面を得る (F)。最後に、トップ図面・制御論理・STPG を Altera 社の FPGA 実装ツール Quartus II 4.0 で処理し、FPGA 上にダウンロードして (G)、モータを動作させる。

4 評価

A 社と八洲熱学のサンプルについて、PLC と FPGA の比較評価を行った。図 3 の破線に従って説明する。

GX Works でサンプルの制御論理のみを取り出す (A)。これは、周辺機器との入出力を省略してフェアな実行時間比較を行うためである。それを GX Converter で命令語リスト表現に変換し (B)、さらに PLC 実行時間計算ツールにかけて PLC 上での実行時間を見積もる (H)。同じリストを VHDL 変換ツールにかけて H/W の設計を得られたら (C)、デバイスに APEX20KE を指定して Quartus II で処理する。回路のクロックサイクル時間と状態遷移数の積で FPGA 上の実行時間を求める (I)。結果を表 1 に示す。

表 1: A 社および八洲熱学のサンプルによる評価

		実行時間 (sec)	論理規模	ステップ数
A 社	PLC	1.25×10^{-3}	—	538
	FPGA	4.36×10^{-5}	4242 LEs	—
八洲	PLC	5.89×10^{-4}	—	93
	FPGA	1.21×10^{-7}	68 LEs	—

5 おわりに

限定的ながら FPGA による性能改善が確認された。今後は未対応命令への処理を追加し、変換ツールの制限緩和を図りたい。

参考文献

- [1] I. Miyazawa et al.: “Implementation of Ladder Diagram for Programmable Controller Using FPGA,” Proc. IEEE Int’l Conf. Emerging Technologies and Factory Automation, Vol. 2, pp. 1381–1385 (1999).
- [2] 三菱電機: “FX1S/FX1N/FX2N/FX1NC/FX2NC シリーズ プログラミングマニュアル,” http://www.f3.mitsubishielectric.co.jp/members/o_manual/plc_fx/jy992d62001/jy992d62001k.3.pdf, pp. 424–427.